

(1)

PATENT ABSTRACTS OF JAPAN

(1) Publication number : 2000-188478
 (43) Date of publication of application : 04.07.2000

(51) Int.CI. H05K 3/46
 H05K 1/02

(21) Application number : 11-282505

(71) Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing : 04.10.1999

(72) Inventor : IWAKI HIDEKI
 TAGUCHI YUTAKA
 OGURA TETSUYOSHI

(30) Priority

Priority number : 10295132

Priority date : 16.10.1998

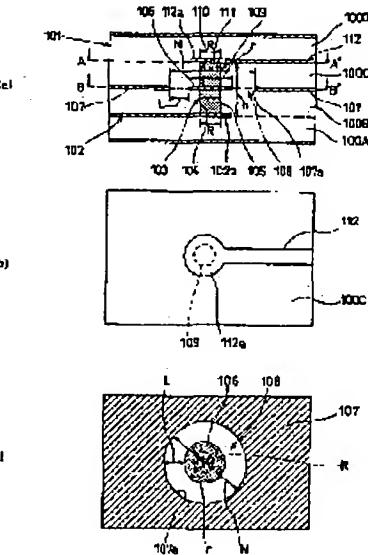
Priority country : JP

(54) MULTILAYER CIRCUIT BOARD, ITS MANUFACTURE AND ADJUSTING METHOD FOR ITS CHARACTERISTIC IMPEDANCE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a multilayer circuit board in which via holes for a signal line with small reflection are formed at high density and at low costs.

SOLUTION: Insulating layers 100A to 100D are formed between a wiring layer 102 and a wiring layer 112 which are arranged so as to be faced. The wiring layers 102, 112 are connected by a connecting body 103 which is formed so as to pass the insulating layers 100A to 100D. The part on one end side and the part on the other end side of the connecting body 103 are connected by an intermediate connecting layer (a via land) 106 in the central position of the connecting body 103. A shielding layer (a grounding layer) 107 is arranged on a face nearly identical to the intermediate connecting layer 106 so as to be separated from the intermediate connecting layer 106. Then, the connecting distance between the wiring layer 102 and the wiring layer 112 via the connecting body 103 and the intermediate connecting layer 106 is designated as (h), the diameter of the connecting body 103 in the case the connecting body is regarded as a nearly cylindrical body is designated as R, the diameter of the intermediate connecting layer 106 in the case the intermediate connecting layer is regarded as a nearly cylindrical shape is designated as (r), and the separation distance between the intermediate connecting layer 106 and the shielding layer 107 is designated as L. Then, when a condition of $(R.r)/(2.h) \leq L \leq (5.R.r)/h$ is satisfied, the characteristic impedance of a multilayer circuit board can be stabilized.



LEGAL STATUS

(19)日本国特許庁(JP)

(12) 公開特許公報 (A) 特開 2000-188478
(P2000-188478A)

(11)特許公開番号

(43)公開日 平成 12 年 07 月 04 日(2000.07.04)

(51)Int.Cl.⁷

H05K 3/46

H05K 3/46

H05K 1/02

F I

H05K 3/46 N

H05K 3/46 Z

H05K 1/02

審査請求 未請求 請求項の数 7 OL (全 14 頁)

(21)出願番号 特願平 11-282505
(22)出願日 平成 11 年 10 月 04 日(1999.10.04)
(31)優先権主張番号 特願平 10-295132
(32)優先日 平成 10 年 10 月 16 日(1998.10.16)
(33)優先権主張国 日本

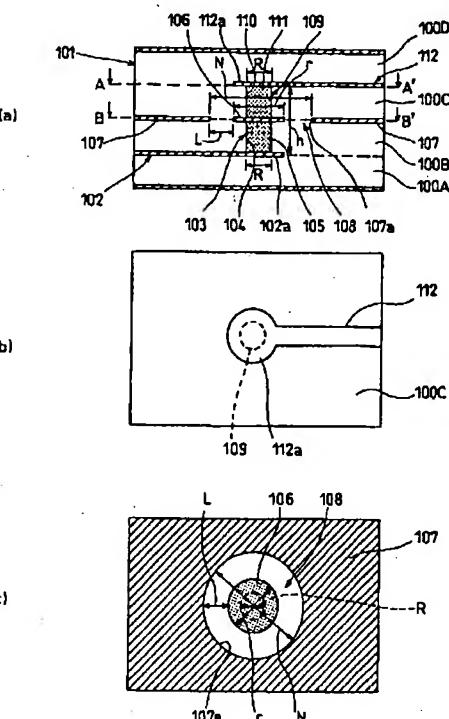
(73)特許権者 000005821
松下電器産業株式会社
大阪府門真市大字門真 1006 番地
(72)発明者 岩城 秀樹
大阪府門真市大字門真 1006 番地 松下
電器産業株式会社内
(72)発明者 田口 豊
大阪府門真市大字門真 1006 番地 松下
電器産業株式会社内
(72)発明者 小掠 哲義
大阪府門真市大字門真 1006 番地 松下
電器産業株式会社内
(74)代理人 100086737
弁理士 岡田 和秀

(54)発明の名称 多層回路基板、その製造方法、および、その特性インピーダンス調整方法

(57)【要約】

【課題】反射の小さい信号線用ピアホールを高密度にしかも安価に設ける。

【解決手段】対向配置された配線層の間に絶縁体を設け、この絶縁体を貫通して設けられた接続体で配線層どうしを接続し、接続体の中央位置において接続体の一端側部分と他端側部分とを中間接続層で接続し、中間接続層の略同一面上に中間接続層に離間してシールド層を配置する。そして、接続体および中間接続層を介した配線層間の接続距離を h とし、接続体を略円柱体とみなした場合の直径を R とし、中間接続層を略円形とみなした場合の直径を r とし、中間接続層と前記シールド層との間の離間距離を L とすると、 $(R + r) / (2 \cdot h) \leq L \leq (5 \cdot R + r) / h$ の条件を満たすことで、特性インピーダンスの安定化を図る。



【特許請求の範囲】

【請求項1】 対向配置された少なくとも2つの配線層と、前記配線層の間に設けられた絶縁体と、前記配線層の対向方向に沿って前記絶縁体を貫通して設けられて前記配線層どうしを接続する接続体と、前記配線層の対向方向に沿った前記接続体の中央位置において前記接続体に挟み込まれて、前記接続体の一端側部分と他端側部分とを電気的に接続する中間接続層と、前記中間接続層の略同一直面上に設けられ、かつ、当該中間接続層の周囲に離間して配置されたシールド層とを有し、前記接続体および中間接続層を介した前記配線層間の接続距離をhとし、前記接続体を略円柱体とみなした場合の直径をRとし、前記中間接続層を略円形とみなした場合の直径をrとし、前記中間接続層と前記シールド層との間の離隔距離をlとすると、 $(R \cdot r) / (2 \cdot h) \leq l \leq (5 \cdot R \cdot r) / h$ の条件を満たす多層回路基板。

【請求項2】 前記絶縁体は、互いに積層配置された下側絶縁層と上側絶縁層とを備えており、前記中間接続層と前記シールド層とは、下側絶縁層と上側絶縁層との間に挟み込まれて配置されており、前記接続体は、前記下側絶縁層をその厚み方向に貫通して設けられて、下側に位置する配線層と前記中間接続層とを電気的に接続する下側接続体と、前記上側絶縁層をその厚み方向に貫通して設けられて、上側に位置する配線層と前記中間接続層とを電気的に接続する上側接続体と、を備えている請求項1記載の多層回路基板。

【請求項3】 前記シールド層は、接地層である請求項1記載の多層回路基板。

【請求項4】 前記シールド層は、電源層である請求項1記載の多層回路基板。

【請求項5】 当該多層回路基板は、前記接続距離hの1500倍以下の波長を有する信号を伝送するものである請求項1記載の多層回路基板。

【請求項6】 対向配置された少なくとも2つの配線層と、前記配線層の間に設けられた第1の絶縁体と、前記配線層の対向方向に沿って前記第1の絶縁体を貫通して設けられて前記配線層どうしを接続する接続体と、前記配線層の対向方向に沿った前記接続体の中央位置において前記接続体に挟み込まれて、前記接続体の一端側部分と他端側部分とを電気的に接続する中間接続層と、前記中間接続層の略同一直面上に設けられ、かつ、当該中間接続層の周囲に離間して配置された第2のシールド層とを有し、前記配線層を略円形とみなした場合の直径をmとし、前記中間接続層を略円形とみなした場合の直径をrとすると、前記接続体が前記配線層よりその特性インピーダンスが高い場合に、 $r < m$ とする多層回路基板。

隙を、前記第1の絶縁体より比誘電率の低い第2の絶縁体で充填した多層回路基板。

【請求項7】 前記第1の絶縁体の比誘電率をεとし、前記第2の絶縁体の比誘電率をε'をとし、前記接続体と前記中間接続層とを介した前記配線層どうしの接続距離をhとし、前記接続体を略円柱体とみなした場合の直径をRとし、前記中間接続層を略円形とみなした場合の直径をrとし、前記中間接続層と前記シールド層との間の離隔距離をlとすると、 $(R \cdot r \cdot \sqrt{\epsilon'}) / (2 \cdot h \cdot \sqrt{\epsilon}) \leq l \leq (5 \cdot R \cdot r \cdot \sqrt{\epsilon'}) / (h \cdot \sqrt{\epsilon})$ の条件を満たす請求項6記載の多層回路基板。

【請求項8】 前記第1の絶縁体は、積層配置された下側絶縁層と、上側絶縁層とを備えており、前記中間接続層と前記シールド層とは、下側絶縁層と上側絶縁層との間に挟み込まれて配置されており、前記接続体は、前記下側絶縁層をその厚み方向に貫通して設けられて、下側に位置する配線層と前記中間接続層とを電気的に接続する下側接続体と、前記上側絶縁層をその厚み方向に貫通して設けられて、上側に位置する配線層と前記中間接続層とを電気的に接続する上側接続体と、を備えている請求項6記載の多層回路基板。

【請求項9】 前記シールド層は、接地層である請求項6記載の多層回路基板。

【請求項10】 前記シールド層は、電源層である請求項6記載の多層回路基板。

【請求項11】 当該多層回路基板は、前記接続距離hの1500倍以下の波長を有する信号を伝送するものである請求項6記載の多層回路基板。

【請求項12】 互いに対向配置された少なくとも2つの第1のシールド層と、前記第1のシールド層の間に設けられた絶縁体と、前記絶縁体の内部に、前記第1のシールド層と実質的に平行に、かつ互いに対向して配置された少なくとも2つの配線層と、前記配線層の対向方向に沿って前記絶縁体を貫通して設けられて前記配線層どうしを接続する接続体と、前記配線層の対向方向に沿った前記接続体の中央位置において前記接続体に挟み込まれて、前記接続体の一端側部分と他端側部分とを電気的に接続する中間接続層と、前記中間接続層の略同一直面上に設けられ、かつ、当該中間接続層の周囲に離間して配置された第2のシールド層とを有し、前記配線層を略円形とみなした場合の直径をmとし、前記中間接続層を略円形とみなした場合の直径をrとすると、前記接続体が前記配線層よりその特性インピーダンスが高い場合に、 $r < m$ とする多層回路基板。

【請求項13】互いに対向配置された少なくとも2つの第1のシールド層と、前記第1のシールド層の間に設けられた絶縁体と、前記絶縁体の内部に、前記第1のシールド層と実質的に平行に、かつ互いに対向して配置された少なくとも2つの配線層と、前記配線層の対向方向に沿って前記絶縁体を貫通して設けられて前記配線層どうしを接続する接続体と、前記配線層の対向方向に沿った前記接続体の中央位置において前記接続体に挟み込まれて、前記接続体の一端側部分と他端側部分とを電気的に接続する中間接続層と、前記中間接続層の略同一面上に設けられ、かつ、当該中間接続層の周囲に離間して配置された第2のシールド層とを有し、前記配線層を略円形とみなした場合の直径をmとし、前記中間接続層を略円形とみなした場合の直径をrとすると、前記接続体が前記配線層よりその特性インピーダンスが低い場合に、 $r > m$ とする多層回路基板。

【請求項14】互いに対向配置された少なくとも2つの第1のシールド層と、前記第1のシールド層の間に設けられた絶縁体と、前記絶縁体の内部に、前記第1のシールド層と実質的に平行に、かつ互いに対向して配置された少なくとも2つの配線層と、前記配線層の対向方向に沿って前記絶縁体を貫通して設けられて前記配線層どうしを接続する接続体と、前記配線層の対向方向に沿った前記接続体の中央位置において前記接続体に挟み込まれて、前記接続体の一端側部分と他端側部分とを電気的に接続する中間接続層と、前記中間接続層の略同一面上に設けられ、かつ、当該中間接続層の周囲に離間して配置された第2のシールド層とを有する多層回路基板の特性インピーダンス調整方法であって、前記配線層を略円形とみなした場合の直径をmとし、前記中間接続層を略円形とみなした場合の直径をrとすると、前記接続体が前記配線層よりその特性インピーダンスが高い場合には、 $r < m$ とし、前記接続体が前記配線層よりその特性インピーダンスが低い場合には、 $r > m$ とする多層回路基板の特性インピーダンス調整方法。

【請求項15】下側絶縁層の下面に下側配線層を、また、下側絶縁層の内部に、その厚み方向に貫通して前記下側配線層に電気的に接続する下側接続体をそれぞれ形成する工程と、前記下側絶縁層の上面に、前記下側配線層に電気的に接続する中間接続層と、前記中間接続層の周囲に離間して配置されるシールド層とをそれぞれ形成する工程と、前記下側絶縁層の上面に被覆層を形成し、この被覆層に

前記中間接続層と下側配線層との間の隙間に実質的に一致する開口を形成する工程と、前記被覆層の上面に、前記下側絶縁層より比誘電率の低い絶縁体を形成し、前記開口上の前記絶縁体を除いて前記絶縁体を被覆層とともに除去する工程と、前記下側絶縁層の上面に、下側絶縁層と同等の比誘電率を有する上側絶縁層を形成する工程と、前記上側絶縁層の内部に、その厚み方向に貫通して前記中間接続層に電気的に接続する上側接続体を形成する工程と、前記上側絶縁層の上面に、前記上側接続体に電気的に接続する上側配線層を形成する工程と、を含む多層回路基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は層間に充填する導電体により層間接続を行う多層回路基板と、その製造方法と、その特性インピーダンス調整方法に関する。

【0002】

【従来の技術】近年、コンピュータの高速化、高性能化要求とともに、半導体素子を高密度実装する要求が強まっている。スーパーコンピュータ等のハイエンドの分野においては、半導体素子の実装に用いられているセラミック基板を、2層の配線層を接地層（または電源層）で挟んだ構造とすることで、クロストークの低減や特性インピーダンスの制御を高密度実装に併せて実現している。

【0003】

【発明が解決しようとする課題】高いクロック周波数を用いたデータ転送では、上述した構造を採用しても、クロストークの低減、特性インピーダンスの制御において十分なる効果を得ることができない。

【0004】そこで、従来から、特開平5-206678号公報に示されたものがある。これは、信号接続体の周りに遮蔽接続体を設けた多層配線基板において、遮蔽接続体の個数を5個以上としている。これにより、層間接続部におけるクロストークの低減や特性インピーダンスの安定化を図っている。このようにしても、配線基板では非常に多くの接続体を設けることが必要となるので、近年の高密度実装や多ピン化への対応が十分に行うことできない。

【0005】したがって、本発明の主たる目的は、信号配線層と信号線用接続体の特性インピーダンスの差による信号の反射が小さい信号線用接続体を高密度にしかも安価にして、特性インピーダンスの安定化と高密度実装とを両立することである。

【0006】本発明のさらに他の目的は、特性インピーダンスの整合に要する基板構造の小型化を図ることである。

【0007】

【課題を解決するための手段】上述した目的を達成するために、本発明は、対向配置された少なくとも2つの配線層と、前記配線層の間に設けられた絶縁体と、前記配線層の対向方向に沿って前記絶縁体を貫通して設けられて前記配線層どうしを接続する接続体と、前記配線層の対向方向に沿った前記接続体の中央位置において前記接続体に挟み込まれて、前記接続体の一端側部分と他端側部分とを電気的に接続する中間接続層と、前記中間接続層の略同一面上に設けられ、かつ、当該中間接続層の周囲に離間して配置されたシールド層とを有し、前記接続体および中間接続層を介した前記配線層間の接続距離をhとし、前記接続体を略円柱体とみなした場合の直径をRとし、前記中間接続層を略円形とみなした場合の直径をrとし、前記中間接続層と前記シールド層との間の離間距離をlとすると、 $(R \cdot r) / (2 \cdot h) \leq l \leq (5 \cdot R \cdot r) / h$ の条件を満たしている。

【0008】本発明は、この条件を満たすことで、配線層の特性インピーダンスと接続体の特性インピーダンスとを、信号反射率が0.05以下になる程度まで整合させることができる。

【0009】

【発明の実施の形態】以下、本発明の好ましい具体例について図面を参照して説明する。

【0010】図1は本発明の第1の好ましい具体例に従う構成を示している。この具体例は、4層の多層回路基板を例にして本発明を説明するが、本発明は、4層以外の層数の多層回路基板においても同様に実施することができるというまでもない。

【0011】この多層回路基板は絶縁体の一例である積層体101を備えている。積層体101は4層に積層配置された絶縁層100A、100B、100C、100Dを積層一体化して構成されている。積層体101の最下層に位置する絶縁層100Aの上面には、下側配線層の一例である配線層102が設けられている。配線層102は配線状にパターニングされた導電膜から構成されている。

【0012】絶縁層100Aの上面には、下側絶縁層の一例である絶縁層100Bが積層配置されている。配線層102は、絶縁層100Aと絶縁層100Bとにより挟持されている。絶縁層100Bには、下側接続体の一例である接続体103が設けられている。接続体103は、厚み方向に絶縁層100Bを貫通して穿たれたほぼ円柱形状の接続孔104に導電体105を充填することで形成されている。

【0013】接続体103は、配線層102に設けられた接続ランド102a上に配置されている。接続体103は、その下端が接続ランド102aに当接することで、配線層102に電気的に接続されている。接続体103は例えば、銅などの金属フィラーを充填してなる導

体や、接続孔104と同等の形状をしたポキシ樹脂などの絶縁体の表面を金属メッキなどの導体で覆ったものから構成されている。

【0014】接続体103の直径Rは接続ランド102aの直径より若干小径に設定されている。これにより接続体103と接続ランド102aとの間の位置合わせ(アライメント)の誤差を吸収して、両者の接続の確実性を高めている。

【0015】絶縁層100Bの上面には、中間接続層の一例であるピアランド106と、シールド層の一例である接地層107とか設けられている。ピアランド106と接地層107は共に導電膜から構成されている。ピアランド106は、平面視略円形形状にパターニングされている。ピアランド106は、接続体103の上端位置に接続体103とほぼ同心に設けられている。ピアランド106は、接続体103の上端に当接することで、接続体103に電気的に接続されている。ピアランド106の直径rは接続体103の直径Rより若干大径($r > R$)に設定されている。これにより、ピアランド106と接続体103との位置合わせ(アライメント)の誤差を吸収して、両者の接続の確実性を高めている。

【0016】接地層107は、ピアランド106の周囲を取り囲んで配設されている。接地層107は、絶縁層100Bの上面をほぼ覆って配設されている。ピアランド106の形成領域を避けるため、接地層107には、円形の切欠部107aが形成されている。切欠部107aは、ピアランド106と同心に配置されている。切欠部107aの直径Nは、ピアランド106の直径rより大径($N > r$)に設定されている。接地層107をこのような形状とすることで、ピアランド106と接地層107との間には幅Lを有するリング状の間隙108が形成されている。間隙108によりピアランド106と接地層107とは電気的に絶縁されている。

【0017】なお、この具体例では、ピアランド106の周囲に接地層107を設けたが、これに代わって同形状の電源層をシールド層として設けてもよいのはいうまでもない。さらには、接地層と電源層とを両方とも設けてよいのもいうまでもない。

【0018】絶縁層100Bの上面には、絶縁層100Cが積層配置されている。ピアランド106と接地層107とは、絶縁層100B、100Cにより挟持されている。絶縁層100Bには、上側接続体の一例である接続体109が設けられている。接続体109は、接続孔110を導電体111で充填することで形成されている。

【0019】接続孔110はその厚み方向に絶縁層100Cを貫通してほぼ円柱形状に形成されている。接続体109はピアランド106上に配設されている。接続体109は、その下端がピアランド106に当接することで、ピアランド106に電気的に接続されている。接続

体109は、接続体103とほぼ同心位置に、ほぼ同じ直径Rに形成配置されている。接続体109の電気特性を接続体103と同じにするために、接続体109を構成する導電体111は、接続体103を構成する導電体105と同材質となっている。

【0020】絶縁層100Cの上面には上側配線層の一例である配線層112が設けられている。配線層112は配線状にパターニングされた導電膜から構成されている。配線層112には接続ランド112aが一体に形成されている。接続ランド112aは平面視円形形状をしている。接続ランド112aは接続体109の上端位置に接続体109とほぼ同心に設けられている。接続ランド112aは接続体109の上端に当接することで接続体109に電気的に接続されている。接続ランド112aの直径は接続体109の直径Rより若干大径に設定さ

$$(R \cdot r) / (2 \cdot h) \leq L \leq (5 \cdot R \cdot r) / h \quad (1)$$

R : 接続体103、109の直径、r : ビアランド106の直径、h : 接続体103、ビアランド106、および接続体109を介した配線層102と配線層112との間の接続距離、L : 間隔108の幅、また、上記条件式(1)の範囲のうち、 $(R \cdot r) / h \leq L \leq (2 \cdot R \cdot r) / h$ (2)

を満たす範囲であれば、さらに上記した特性インピーダンスの整合が良くなり、信号の反射は生じにくくなり、さらに好ましい。

【0025】さらには、上記条件式(1)の範囲のうち、 $L = (1.5 \cdot R \cdot r) / h$ (3)
を満たす場合が最も好ましい(ベストモード)。

【0026】以下、上述した条件を設定する理由を説明する。図2に、上記幅Lを順次変えた条件において、接続体103、109と配線層102、112との間に発生する信号反射量の変動を測定した結果を示す。信号反射量の変動は特性インピーダンスの不整合に起因する。

【0027】この測定は、配線層102、112の線幅を $190\mu m$ とし、絶縁層100A~100Dの比誘電率を3.5とし、接続距離hを $200\mu m$ とした条件下測定している。

【0028】図2においては、横軸を、 $(R \cdot r) / h$ で規格化した幅Lの値とし、縦軸を、信号反射量としている。

【0029】図2から明らかなように、幅Lが、 $(R \cdot r) / (2 \cdot h) \leq L \leq (5 \cdot R \cdot r) / h$ の条件を満たす範囲αにおいては、信号反射量は0.05以下という、十分低い値になる。

【0030】幅Lが、 $(R \cdot r) / h \leq L \leq (2 \cdot R \cdot r) / h$ の条件を満たす範囲βにおいては、信号反射量は、0.02以下という、さらに、低い値となる。

れている。これによりビアランド106と接続体103との位置合わせ(アライメント)の誤差を吸収して、両者の接続の確実性を高めている。

【0021】接続体103、ビアランド106、および接続体109を介した配線層102と配線層112との間の接続距離は図1に示すようにhとなっている。

【0022】絶縁層100Cの上面には、絶縁層100Dが積層配置されている。配線層112は、絶縁層100Cと絶縁層100Dとにより挟持されている。

【0023】この具体例においては、間隔108の幅Lが次の(1)式の条件を満たしている。これにより、接続体103および接続体109から構成される接続体全体の特性インピーダンスを、配線層102および配線層112の特性インピーダンスに整合している。

【0024】

【0031】幅Lが、 $L = (1.5 \cdot R \cdot r) / h$ の条件を満たす点γになると、信号反射量は、0.01という、最小値となる。

【0032】1GHz以下のクロック周波数を用いたデータ転送を実現するシステムでは、入力信号の5% (=0.05)以下の反射量が必要となる。以下、その理由を、図3を参照して説明する。

【0033】近年のDynamic RAMを用いたメモリシステムにおけるI/Oインターフェースに関して、RANBUS(米国ランバス社が提唱する高速のバスシステム)、STL(Stub Series Terminated transceiver Logic等の規格が提案されて実現している。例えば、日本電子機械工業規格であるSSTL_3(Stub Series Terminated Logic for 3.3Vols)においては、出力レベルの規格として出力電圧が $3.3 \pm 0.3 V$ 、入力基準電圧 $V_{ref} = 1.5 \pm 0.2 V$ 、入力電圧ハイレベル最小値 $V_{IH}(dc)$ が入力基準電圧 $V_{ref} + 0.2 V$ 、入力電圧ローレベル最大値 $V_{IL}(dc)$ が入力基準電圧 $V_{ref} - 0.2 V$ となっている。

【0034】入力信号は通常タイミング規格を満たすために必要な入力レベル $V_{IH}(ac)$ 、 $V_{IL}(ac)$ を満たしている。それは入力基準電圧 $V_{ref} \pm 0.4 V$ である。受信端の論理の確定は入力電圧ハイレベル最小値 $V_{IH}(dc)$ 以上のときHighとなる。同様に、入力電圧ハイレベル最小値 $V_{IH}(dc)$ 以下のときLowであると決定される。それ以外の電圧では不確定となり、論理は確定しない。

【0035】出力電圧が $3.3 V$ のとき、接続体103、109での信号の反射量が、0.06であると、反射信号の振幅は $0.216 V$ となる。この反射信号が入力信号のノイズとして加わると、ノイズの加わった信号のハイレベルは入力信号基準電圧 $V_{ref} + 0.4 \pm 0.216 V$ となる。ノイズの加わった入力信号のローレベルは入力信号基準信号 $V_{ref} - 0.4 \pm 0.216 V$ とな

る。そうすると、ノイズの加わった入力信号のハイレベルの最小値とローレベルの最大値とは、入力信号基準電圧 $V_{ref} + 0.184V$ と、入力信号の入力基準電圧 $V_{ref} - 0.184V$ となる。この場合、入力電圧ハイレベルの最小値 $V_{IH}(dc)$ である入力基準電圧 $V_{ref} + 0.2V$ や、入力電圧ローレベルの最大値 $V_{IL}(dc)$ である入力基準電圧 $V_{ref} - 0.2V$ を満たさなくなる。つまり、論理が確定せず誤動作となる。このように、反射量が0.06以上では誤動作の原因となる。これに加えて、入力信号は接続体103、109での反射信号以外のノイズの影響も受けるので、接続体での反射信号を小さく抑制する必要である。このような理由により信号反射量は、5% (=0.05) 以下が必要となる。

【0036】例えば、接続距離 h を $400\mu m$ 、直径 R を $200\mu m$ 、直径 r を $400\mu m$ に設定した場合(以下、設定1という)、 $(R \cdot r / 2) \cdot h = 100$ ($5 \cdot R \cdot r / h = 1000$)となる。そのため、(1)式は、 $100 \leq L \leq 1000$ … (1)'となる。

【0037】設定1において、幅 L を $50\mu m$ や $2mm$ ($=2000\mu m$)にすると、(1)'式の条件を満たさない。そのため、接続体103、109と、配線層102、112とは、特性インピーダンスが整合せず、両者の間で信号の反射が大きくなつて問題となる。

【0038】設定1において、幅 L を、 $100\mu m$ 、 $400\mu m$ 、 $1000\mu m$ にすると、(1)'式の条件を満たす。すると、接続体103、109と配線層102、112とは、特性インピーダンスが整合し、両者の間で信号の反射はほとんど生じなくなる。

【0039】また、このとき、 $(R \cdot r) / h = 200$ ($2 \cdot R \cdot r / h = 400$)となる。そのため、(2)式は、 $200 \leq L \leq 400$ … (2)'となる。

【0040】そこで、設定1において、幅 L を、 $200\mu m$ 、 $400\mu m$ 、といった(2)'式の条件を満足する値にすると、接続体103、109と配線層102、112とは、その特性インピーダンスがより以上に整合し、両者の間で信号の反射がさらに生じなくなる。

【0041】さらには、設定1では、 $(1.5 \cdot R \cdot r) / h = 300$ となる。そのため、上述した(3)式は、 $L = 300$ … (3)'となる。

【0042】そこで、設定1において、幅 L を、 $300\mu m$ にして、(3)'式の条件を満足する値にすると、接続体103、109と配線層102、112とは、そ

の特性インピーダンスが最も整合し、両者の間での信号の反射が最小となる。

【0043】また、接続距離 h を $200\mu m$ 、直径 R を $200\mu m$ 、直径 r を $300\mu m$ に設定した場合(以下、設定2という)、 $(R \cdot r) / (2 \cdot h) = 150$ ($5 \cdot R \cdot r / h = 1500$)となる。そのため、(1)式は、 $150 \leq L \leq 1500$ … (1)''となる。

【0044】設定2において、幅 L を $50\mu m$ や $2mm$ ($=2000\mu m$)にすると、(1)''式の条件を満たさない。そのため、接続体103、109と配線層102、112とは、その特性インピーダンスが整合せず、両者の間で信号の反射が大きくなつて問題となる。

【0045】設定2において、幅 L を、 $150\mu m$ 、 $800\mu m$ 、 $1500\mu m$ にすると、(1)''式の条件を満たすので、接続体103、109と配線層102、112とは、特性インピーダンスが整合し、両者の間で信号の反射はほとんど生じなくなる。

【0046】また、このとき、 $(R \cdot r) / h = 300$ ($2 \cdot R \cdot r / h = 600$)となる。そのため、(2)式は、 $300 \leq L \leq 600$ … (2)''となる。

【0047】そこで、設定2において、幅 L を、 $300\mu m$ 、 $600\mu m$ 、といった(2)''式の条件を満足する値にすると、接続体103、109と配線層102、112とは、特性インピーダンスがより以上に整合し、両者の間で信号の反射がさらに生じなくなる。

【0048】さらには、設定2では、 $(1.5 \cdot R \cdot r) / h = 450$ となる。そのため、(3)式は、 $L = 450$ … (3)''となる。

【0049】そこで、設定2において、幅 L を $450\mu m$ にして、(3)''式の条件を満足する値にすると、接続体103、109と配線層102、112とは、その特性インピーダンスが最も整合し、両者の間での信号の反射量は最小となる。

【0050】本発明において、(3)式を満足する接続体103、109について、その特性インピーダンスの周波数特性(スミスチャート)を測定した結果を図4Aに示す。

【0051】また、本発明の範囲に入らない構成(幅 L が $1000\mu m = 1mm$)について、その特性インピーダンスの周波数特性(スミスチャート)を測定した結果を図4Bに示す。

【0052】これらの測定は、接続距離 h を $400\mu m$

m、直径Rを200μm、直径rを400μm、幅を190μm、各絶縁層100A～100Dの比誘電率を3.5とした条件で行っている。

【0053】図4A、図4Bは、周波数が100MHzから10GHzまでの信号に対する接続体103、109におけるSパラメータのS11を表している。

【0054】スミスチャートは、高周波回路に使われるデバイス、例えば、無線通信分野におけるRFフィルタや増幅回路等の特性を表すものとして一般的に使われている。スミスチャートを用いることで回路のインピーダンスや反射係数を直ちに読み取ることができる。

【0055】Sパラメータでは、2ポート回路においてポート2を整合させたときのポート1へ向かう進行波と反射波の様子を記す反射係数をSパラメータの一つであるS11を表している。スミスチャート上では、中心からプロットされた点までの距離は反射係数の絶対値を表している。回転角は反射係数の位相角を表している。スミスチャートの中心にプロットされた場合、反射係数は0に一致する。スミスチャートの外周円上にプロットされた場合、反射係数の絶対値は1に一致する。インピーダンスと反射係数との関係は回路のインピーダンスをZLとし、信号源のインピーダンスをZ0とし、反射係数をΓとするとき、 $\Gamma = (ZL - Z0) / (ZL + Z0)$ と表される。

【0056】回路のインピーダンスが信号源のインピーダンスと完全に整合している場合($ZL = Z0$)には、反射係数 $\Gamma = 0$ となる。スミスチャート上で特性が中心にプロットされた場合、注目する回路のインピーダンスはそれに接続される回路のインピーダンスに整合することになり、反射はなくなることを意味する。

【0057】図4Aに示すように、本発明の構成では、周波数特性はほぼスミスチャートの中心に集まつたようにプロットされる。反射係数はほぼ0である。接続体103、109の特性インピーダンスは、配線層102、112の特性インピーダンスにはほぼ整合している。

【0058】図4Bに示すように、本発明の範疇に入らない構成では、100MHzにおいてスミスチャートの中心にプロットされる。しかしながら、周波数が高くなるにつれて中心から離れ、10GHzで中心から最も離れる。10GHzにおける反射係数の絶対値は約5%程度である。

【0059】以上のように、この具体例では、余分な接続体を形成することなく、特性インピーダンスの整合を行うことができる。そのため、この具体例は、従来のように信号用接続体1個に5個以上の接地用接続体を設けるものに比べ、単位面積当たりに信号用接続体を倍以上の密度で形成することができる。この具体例は、従来よりも小型化が可能で、さらには、安価に多層回路基板を製造することが可能となる。

【0060】次に、本発明の第2の好ましい具体例を、図5を参照して説明する。

【0061】この多層回路基板の概略構成は、図1で説明した第1の好ましい具体例と同様であるので、同一ないし同様の部分には、図1と同一の符号を付している。

【0062】この多層回路基板は、第1の絶縁体の一例である積層体101を有している。積層体101は、4層に積層配置された絶縁層100A、100B、100C、100Dを積層一体化して構成されている。積層体101の内部には、配線層102と、配線層112とが配設されている。これら配線層102、112は、接続体103、ピアランド106、接続体109を介して電気的に接続されている。積層体101の内部には、ピアランド106と同一平面上に接地層107が設けられている。接地層107とピアランド106との間には、両者を電気的に絶縁する隙間108が形成されている。

【0063】隙間108には、第2の絶縁体の一例である絶縁体120が配設されている。絶縁体120は、絶縁層100A～100Dの比誘電率よりも低い比誘電率を有している。絶縁体120は、隙間108全体を充填している。絶縁体120は、例えば、次のようにして作成する。

【0064】図6Aに示すように、絶縁層100B上にピアランド106と、接地層107と、隙間108とをパターン形成する。次に、絶縁層100B上に被覆層の一例であるレジストパターン121を形成する。レジストパターン121には、隙間108に対応する部分に開口121aを形成しておく。

【0065】図6Bに示すように、形成したレジストパターン121上にエポキシ樹脂等からなる絶縁膜120'を形成する。絶縁膜120'は、絶縁層100A～100Dより比誘電率の低いものを用いる。次に、図6Cに示すように、レジストパターン121を除去して隙間108にのみ絶縁膜120'を残存させる。

【0066】絶縁体120の比誘電率は、接続体103、109とピアランド106との間の特性インピーダンスの整合に密接に関係している。これは、ピアランド106と接地層107との間に生じる容量成分の発生量に隙間108の比誘電率が関与しているためである。絶縁層100A～100Dより比誘電率の低い絶縁体を隙間108に配置した場合とそうでない場合とを比べると、絶縁体を配置した場合の方が容量成分の発生量が少なくなる。そのため、接続体103、109とピアランド106との間において特性インピーダンスの整合を得るのに必要な幅Lは、上記した絶縁体120を隙間108に配置した方がそうでない方より小さくなる。

【0067】そのため、この具体例では、接続体103、109とピアランド106との間の特性インピーダンスを整合させるのに必要な幅Lを小さくすることができる。これにより、この具体例は、隙間108を別途絶

縁体で充填しない構成に比べて、接続体103、109の全体構造を小型化することができる。高密度実装も可能になる。

【0068】次に、本発明の第3の好ましい具体例を、図7を参照して説明する。この具体例は、基本的には、第1、第2の好ましい具体例の構成と同様であり、同一ないし同様の部分には同一の符号を付している。

【0069】この多層回路基板は、4層に積層配置された絶縁層100A、100B、100C、100Dを積層一体化してなる積層体101を備えている。積層体101内部には、配線層102と、配線層112とか配設されている。配線層102、112は、接続体103、

$$(R \cdot r \cdot \sqrt{\epsilon'}) / (2 \cdot h \cdot \sqrt{\epsilon}) \leq L \leq (5 \cdot R \cdot r \cdot \sqrt{\epsilon'}) / (h \cdot \sqrt{\epsilon}) \quad \dots (4)$$

R : 接続体103、109の直径、r : ピアランド106の直径、h : 接続体103、106、および接続体109を介した配線層102、112の間の接続距離

$$(R \cdot r \cdot \sqrt{\epsilon'}) / (h \cdot \sqrt{\epsilon}) \leq L \leq (2 \cdot R \cdot r \cdot \sqrt{\epsilon'}) / (h \cdot \sqrt{\epsilon}) \quad \dots (5)$$

を満たす範囲であれば、さらに特性インピーダンスの整合が良くなり、信号の反射は生じにくくなり、より好ましい。

$$L = (1.5 \cdot R \cdot r \cdot \sqrt{\epsilon'}) / (h \cdot \sqrt{\epsilon}) \quad \dots (6)$$

を満たす場合が最も好ましい（ベストモード）。

【0072】以下、上述した条件を設定する理由を説明する。

【0073】図8に、間隙108の幅Lを順次変えた条件において、接続体103、109と配線層102、112との間に発生する信号反射量の変動を測定した結果を示す。この測定では、配線層102、112の線幅を190μmとし、絶縁層100A～100Dの比誘電率εを4.5とし、絶縁体130の比誘電率ε'を3とし、接続距離hを200μmとした条件で測定している。さらには、図8においては、間隙108の幅Lを、(R·r·√ε')/(h·√ε)で規格化している。図8において、横軸を幅Lの値として、縦軸を信号反射量にしている。

【0074】幅Lが、(R·r·√ε')/(2·h·√ε) ≤ L ≤ (5·R·r·√ε')/(h·√ε) の条件を満たす範囲α'においては、信号反射量は0.05以下という、十分低い値になる。第1の好ましい具体例で説明したように、1GHz以下のクロック周波数を用いたデータ転送を実現するシステムにおいては、信号反射量を、入力信号の5% (=0.05) 以下とする必要がある。

【0075】幅Lが、(R·r·√ε')/(h·√ε) ≤ L ≤ (2·R·r·√ε')/(h·√ε)

ピアランド106、接続体109を介して電気的に接続されている。積層体101の内部には、ピアランド106と同一平面上に接地層107が設けられている。接地層107とピアランド106との間には、両者を電気的に絶縁する間隙108が形成されている。間隙108には、絶縁層100A～100Dより低い比誘電率を有する絶縁体130が充填されている。

【0070】この具体例においては、幅Lが次の(4)式の条件を満たしている。これにより、接続体全体の特性インピーダンスを、配線層102、112の特性インピーダンスに整合させている。

$$(R \cdot r \cdot \sqrt{\epsilon'}) / (2 \cdot h \cdot \sqrt{\epsilon}) \leq L \leq (5 \cdot R \cdot r \cdot \sqrt{\epsilon'}) / (h \cdot \sqrt{\epsilon})$$

L : 間隙108の幅、ε : 絶縁層100A～100Dの比誘電率ε' : 絶縁体130の比誘電率または、上記条件式(4)の範囲のうち、

$$(R \cdot r \cdot \sqrt{\epsilon'}) / (h \cdot \sqrt{\epsilon}) \leq L \leq (2 \cdot R \cdot r \cdot \sqrt{\epsilon'}) / (h \cdot \sqrt{\epsilon})$$

【0071】さらには、上記条件式(4)の範囲のうち、

の条件を満たす範囲β'においては、信号反射量は、0.02以下という、さらに、低い値となる。

$$L = (1.5 \cdot R \cdot r \cdot \sqrt{\epsilon'}) / (h \cdot \sqrt{\epsilon}) \quad \dots (6)$$

の条件を満たす点γ'になると、信号反射量は、0.01という、最小値となる。

【0077】例えば、上記接続距離hを400μm、接続体103、109の直径Rを200μm、ピアランド106の直径rを400μm、絶縁層100A～100Dの比誘電率εを4.5、絶縁体130の比誘電率ε'を3に設定した場合（以下、設定3という）、(R·r·√ε')/(2·h·√ε) ≈ 825 · R · r · √ε' / h · √ε ≈ 816となる。そのため、上述した(4)式は、82 ≤ L ≤ 816 … (4)'となる。

【0078】設定3において、幅Lを50μmや100μmにすると、(4)'式の条件を満たさない。そのため、接続体103、109と、配線層102、112とは、特性インピーダンスが整合せず、両者の間で信号の反射が大きくなっている問題となる。

【0079】設定3において、幅Lを、85μm、200μm、400μm、800μmにすると、(4)'式の条件を満たす。すると、接続体103、109における特性インピーダンスと配線層102、112の特性インピーダンスが整合し、両者の間で信号の反射はほと

んど生じなくなる。

【0080】このとき、 $(R \cdot r \cdot \sqrt{\epsilon}) / (h \cdot \sqrt{\epsilon}) = 16.3$ $(2 \cdot R \cdot r \cdot \sqrt{\epsilon}) / (h \cdot \sqrt{\epsilon}) = 32.7$ となる。そのため、上述した(5)式は、 $16.3 \leq L \leq 32.7$ … (5)' となる。

【0081】設定3において、幅Lを、 $200\mu m$ 、 $250\mu m$ 、 $300\mu m$ といった(5)'式の条件を満足する値にすると、接続体103、109と配線層102、112とは、その特性インピーダンスがより以上に整合し、両者の間で信号の反射がさらに生じなくなる。

【0082】設定3では、 $(1.5 \cdot R \cdot r \cdot \sqrt{\epsilon}) / (h \cdot \sqrt{\epsilon}) = 24.5$ となる。そのため、上述した(6)式は、 $L = 24.5$ … (6)' となる。

【0083】設定3において、幅Lを、 $245\mu m$ にして、(6)'式の条件を満足する値にすると、接続体103、109と配線層102、112とは、その特性インピーダンスが最も整合し、両者の間での信号の反射量は最小となる。

【0084】接続距離hを $400\mu m$ 、直徑Rを $200\mu m$ 、直徑rを $400\mu m$ 、比誘電率 ϵ を7.5、比誘電率 ϵ' を4に設定した場合、 $(R \cdot r \cdot \sqrt{\epsilon}) / (2 \cdot h \cdot \sqrt{\epsilon}) = 7.3$ $(5 \cdot R \cdot r \cdot \sqrt{\epsilon}) / (h \cdot \sqrt{\epsilon}) = 73.0$ となる。そのため、(4)式は、 $7.3 \leq L \leq 73.0$ … (4)' となる。

【0085】設定3において、幅Lを $50\mu m$ や $1000\mu m$ にすると、(4)'式の条件を満たさない。そのため、接続体103、109と配線層102、112とは、その特性インピーダンスは整合せず、両者の間で信号の反射が大きくなつて問題となる。

【0086】設定3において、幅Lを、 $75\mu m$ 、 $150\mu m$ 、 $700\mu m$ にすると、(4)'式の条件を満たすので、接続体103、109と配線層102、112とは、その特性インピーダンスが整合し、両者の間で信号の反射はほとんど生じなくなる。

【0087】また、このとき、 $(R \cdot r \cdot \sqrt{\epsilon}) / (h \cdot \sqrt{\epsilon}) = 14.6$ $(2 \cdot R \cdot r \cdot \sqrt{\epsilon}) / (h \cdot \sqrt{\epsilon}) = 29.2$ となる。そのため、(5)式は、 $14.6 \leq L \leq 29.2$ … (5)' となる。

【0088】設定3において、幅Lを、 $150\mu m$ 、 $250\mu m$ 、といった(5)'式の条件を満足する値にすると、接続体103、109と配線層102、112とは、その特性インピーダンスがより以上に整合し、両

者の間で信号の反射がさらに生じなくなる。

【0089】さらには、設定3では、 $(1.5 \cdot R \cdot r \cdot \sqrt{\epsilon}) / (h \cdot \sqrt{\epsilon}) = 21.9$ となる。そのため、(6)式は、 $L = 21.9$ … (6)' となる。

【0090】設定3において、幅Lを $219\mu m$ にして、(6)'式の条件を満足する値にすると、接続体103、109と配線層102、112とは、その特性インピーダンスが最も整合し、両者の間での信号の反射量は最小となる。

【0091】以上のように、この具体例の構成を備えることで、余分な接続体を形成することなく、特性インピーダンスの整合を行うことができる。

【0092】この具体例では、従来のように信号用接続体1個に5個以上の接地用接続体を設けるものに比べ、単位面積当たりに信号用接続体を倍以上の密度で形成することができる。そのため、この具体例では、従来よりも小型化が可能となり、安価に多層回路基板を製造することができる。また、幅Lをより以上に狭くすることができるので、高密度実装ができる。

【0093】次に、本発明の第4の好ましい具体例を、図9を参照して説明する。この具体例は、基本的には、第1～第3の好ましい具体例の構成と同様であり、同一ないし同様の部分には同一の符号を付している。

【0094】この多層回路基板は、絶縁体の一例である積層体101を備えている。積層体101は、4層に積層配置された絶縁層100A、100B、100C、100Dを積層一体化して構成されている。積層体101内部には、配線層102と、配線層112とが配設されている。配線層102、112は、接続体103、ピアランド106、接続体109を介して電気的に接続されている。接続体103、109は、接続体の一例である。ピアランド106は、中間接続層の一例である。配線層102、112は配線状にパターンングされた導電膜から構成されている。配線層102、112には接続ランド102a、112aが設けられている。接続ランド102a、112aは、図1Bに示すように、平面視円形形状をしている。接続ランド102a、112aは接続体103、109の下端位置、もしくは上端位置に接続体103、109とほぼ同心に設けられている。接続ランド102a、112aは接続体103、109の下端もしくは上端に当接することで接続体103、109に電気的に接続されている。接続ランド102a、112aの直徑は接続体109の直徑Rより若干大径に設定されている。

【0095】積層体101の内部には、ピアランド106と同一平面上に、第2のシールド層の一例である接地層107が設けられている。接地層107とピアランド106との間には、両者を電気的に絶縁する間隙108

が形成されている。積層体101の最外層それには、第1のシールド層の一例である接地層140が設けられている。

【0096】この具体例では、接続体103、109の特性インピーダンスが、配線層102より高い場合には、 $r < m$ (7)

r : ピアランド106の直径、 m : 配線層102、112の直径、具体的には、接続ランド102a、112aの直径とする。

【0097】また、接続体103、109の特性インピーダンスが、配線層102より低い場合には、 $r > m$ (8)

とする。図9では、その一例として、 $r < m$ としている。

【0098】これにより、接続体103、106と配線層102、112との間の特性インピーダンスの整合を図って、信号の反射量を抑えている。以下、その理由を説明する。

【0099】接続体103、106の特性インピーダンス Z は、その等価インダクタンス I と等価キャパシタンス C とより、 $Z = \sqrt{I/C}$ で表すことができる。等価インダクタンス I は、上述した先の具体例に記載した接続距離 h が相当する接続体103、106の長さに起因するインダクタンス成分である。等価キャパシタンス C は接続体103、106と、接地層140との間に存在する容量に起因する。

【0100】ここで、ピアランドの直径 r と接続ランド102a、112aの直径 m との大きさの違いにより、等価キャパシタンス C は変動し、直径 r を直径 m より大きくすると ($r > m$) 、キャパシタンス C は、 $\epsilon \cdot \epsilon_0 \cdot [(\pi \cdot (m/2))^2 - \pi \cdot (r/2)^2] / (h/2)$ だけ増加する。

【0101】同様に、直径 r を直径 m より小さくすると ($r < m$) 、キャパシタンス C は、 $\epsilon \cdot \epsilon_0 \cdot [(\pi \cdot (r/2))^2 - \pi \cdot (m/2)^2] / (h/2)$ だけ減少する。

【0102】 ϵ : 絶縁層100A～100Dの比誘電率
 ϵ_0 : 真空中での比誘電率
 $h/2$: 接続体103、106と接続ランド102a、112aとの間の距離である、各絶縁層100A～100Dの厚さは互いに等しいため、接続距離 h の半分 ($h/2$) となるこのように、直径 m を直径 r より大きくすることでキャパシタンス C を増加させることができる。同様に、直径 m を直径 r より小さくすることでキャパシタンス C を減少させることができる。

【0103】接続体全体のインピーダンスが配線層102、の112より高い場合には、直径 m を直径 r より大きくすることで両者のインピーダンスを整合させて、信号反射量を抑制することができる。接続体全体のインピーダンスが配線層102、の112より低い場合には、直径 m を直径 r より小さくすることで両者のインピーダンスを整合させて、信号反射量を抑制することができる。

【0104】接続距離 $h = 445 \mu\text{m}$ 、直径 $r = 400 \mu\text{m}$ 、直径 $R = 200 \mu\text{m}$ 、直径 $m = 500 \mu\text{m}$ とした場合 ($r < m$) において、隙間108の幅 L に対する反射量の特性を図10に示す。図10と、図2との比較してみれば明らかのように、反射量を、前述した具体例において示した上限値0.05以下に抑えることができる幅 L の範囲は、($r < m$) とした場合の方が、そうでない場合に比べて反射量を0.05以下に抑えることができる幅 L のレンジは広くなる。具体的には、幅 L が増大する側におけるレンジが広くなっている。

【0105】この具体例は、図11に示すように、第2シールド層である接地層107が設けられていない多層回路基板において実施しても、同様の効果を発揮する。図11に示す多層回路基板においては、上述した各具体例に存在する隙間108の幅 L は無限大となり、幅 L の調整による特性インピーダンスの制御は不可能となる。そこで、配線層102、112の特性インピーダンスに合わせて接続体全体の特性インピーダンスを制御するためには、この具体例のように、直径 r と直径 m との関係を調整すればよい。

【0106】以上の構成および特徴を備えた各具体例においては、上述した接続距離 h の1500倍以下の波長を有する信号を伝送する場合において、特に顕著な効果を発揮する。以下、その理由を説明する。

【0107】比誘電率 $\epsilon = 1$ の媒質中で、グランド面のない基板上に長さ1mmの配線を形成すると、その配線による信号の反射量は信号の周波数により、図12に示す特性を有する。ここで、信号の反射量の上限値を上述したように5%とすると、信号の反射量に関する周波数の上限値が決まり、その上限値は、0.2GHz (= 200MHz) となる。波長に換算すると、1.5mとなる。

【0108】伝送する信号の波長（上述した例では1.5m）が、配線の長さ（上述した例では1mm）の1/1500倍以下になると、配線による信号の反射が上限値（5%）を超てしまい、配線の特性インピーダンスを制御する必要がてくる。そこで、この具体例においては、配線の長さに相当する上記接続距離 h の1500倍以下の波長を有する信号を伝送した場合に顕著な効果を発揮する。

【0109】なお、一般に、媒質中での電磁波の波長入は、

$$\lambda = Cv / (f \cdot \sqrt{\epsilon})$$

Cv : 光速 f : 周波数で表される。各具体例における媒質に相当する絶縁層 $100A \sim 100D$ は、その比誘電率 ϵ が 1 以上であるために、伝送する信号の波長は、上述した条件 ($\epsilon = 1$) の場合に比べて短くなる。しかしながら、接続距離 h と波長との間の関係は上述した条件と同様に成立するのはいうまでもない。

【0110】なお、以上の具体例は、シールド層の一例である接地層を有する多層回路基板において本発明を説明したが、シールド層として、電源層を設けた多層回路基板において、本発明を適用しても同様の効果が得られる。さらには、グランド層と電源層とを両方とも有する多層回路基板において、本発明を適用しても同様の効果が得られる。

【0111】さらには、本発明は、図13A～図13F に示す多層回路基板においても同様に実施できるのはいうまでもない。図13Aは、5層積層された絶縁層 $100A \sim 100E$ の内部に、3段積み重ねられた接続体 $150A \sim 150C$ と、2層のピアランド $106A, 106B$ と、2層の接地層 $107A, 107B$ (電源層でもよい) と、配線層 $102, 112$ を収納配置し、最外層の絶縁層 $100A, 100E$ の表面に接地層 151 (電源層でもよい) を設けた多層回路基板である。このような多層回路基板においても本発明の各発明を実施できる。

【0112】図13Bは、3層積層された絶縁層 $100A \sim 100C$ の内部に、3段積み重ねられた接続体 $150A \sim 150C$ と、2層のピアランド $106A, 106B$ と、2層の接地層 $107A, 107B$ (電源層でもよい) とを収納配置し、最外層の絶縁層 $100A, 100C$ の表面に配線層 $102, 112$ を設けた多層回路基板である。このような多層回路基板においても本発明の各発明を実施できる。

【0113】図13Cは、3層積層された絶縁層 $100A \sim 100C$ の内部に、2段積み重ねられた接続体 $150A, 150B$ と、一つのピアランド 106 と、1層の接地層 107 (電源層でもよい) と、一方の配線層 102 を収納配置し、最外層の絶縁層 $100A$ の表面に接地層 151 を設け、最外層の絶縁層 $100B$ の表面に配線層 112 を設けた多層回路基板である。このような多層回路基板においても本発明の各発明は実施できる。

【0114】図13Dは、5層積層された絶縁層 $100A \sim 100E$ の内部に、3段積み重ねられた接続体 $150A \sim 150C$ と、2層のピアランド $106A, 106B$ と、1層の接地層 107 (電源層でもよい) と、配線層 $102, 112$ を収納配置し、最外層の絶縁層 $100A, 100E$ の表面に接地層 151 (電源層でもよい) を設けた多層回路基板である。このような多層回路

基板においても本発明の各発明を実施できる。

【0115】図13Eは、3層積層された絶縁層 $100A \sim 100C$ の内部に、3段積み重ねられた接続体 $150A \sim 150C$ と、2層のピアランド $106A, 106B$ と、1層の接地層 107 (電源層でもよい) とを収納配置し、最外層の絶縁層 $100A, 100C$ の表面に配線層 $102, 112$ を設けた多層回路基板である。このような多層回路基板においても本発明の各発明を実施できる。

【0116】図13Fは、多数積層された絶縁層において最も外側に位置する5層の絶縁層 $100A \sim 100E$ の内部に、3段積み重ねられた接続体 $150A \sim 150C$ と、2層のピアランド $106A, 106B$ と、2層の接地層 $107A, 107B$ (電源層でもよい) と、配線層 $102, 112$ を収納配置し、最外層の絶縁層 $100A$ の表面に接地層 151 (電源層でもよい) を設けた多層回路基板である。このような多層回路基板においても本発明の各発明を実施できる。

【0117】

【発明の効果】以上説明したように、本発明によれば、配線層の特性インピーダンスと接続体の特性インピーダンスとを、信号反射率が 0.05 以下になる程度まで整合させることができた。しかも、このような特性インピーダンスの整合を余分なビアホールを形成する必要もなく実現することができた。これにより、信号配線層と信号線用ビアホールとの特性インピーダンスの差による信号の反射が小さい信号線用ビアホールを高密度にしかも安価に設けることができるという効果がある。

【図面の簡単な説明】

【図1】図1Aは、本発明の第1の好ましい具体例に係る多層回路基板の概略構成を示す断面図であり、図1Bは図1AのA-A' 線断面図であり、図1Cは図1AのB-B' 線断面図である。

【図2】第1の具体例における信号反射率と間隙 L との関係を示す線図である。

【図3】信号反射量の閾値の説明に供する図である。

【図4】図4Aは図1A～図1Cの多層回路基板の周波数特性を表すスミスチャートであり、図4Bは従来例の多層回路基板の周波数特性を表すスミスチャートである。

【図5】図5Aは、本発明の第2の好ましい具体例に係る多層回路基板の概略構成を示す断面図であり、図5Bは図5AのC-C' 線断面図である。

【図6】図5A、図5Bの多層回路基板の製造工程をそれぞれ示す断面図である。

【図7】図7Aは、本発明の第3の好ましい具体例に係る多層回路基板の概略構成を示す断面図であり、図7Bは図7AのD-D' 線断面図であり、図7Cは図7AのE-E' 線断面図である。

【図8】図8は、第3の具体例における信号反射率と間

隙Lとの関係を示す線図である。

【図9】本発明の第4の好ましい具体例に係る多層回路基板の構成を示す断面図である。

【図10】第4の具体例における信号反射率と隙間Lとの関係を示す線図である。

【図11】第4の具体例の変形例を示す断面図である。

【図12】周波数と反射量の関係を示す線図である。

【図13】本発明を実施できる多層回路基板の他の例をそれぞれ示す断面図である。

【符号の説明】

100A～100D 絶縁層 102 配線層

103 接続体 106 ピアランド

107 接地層 108 隙間

109 接続体 112 配線層

R 接続体103の直径

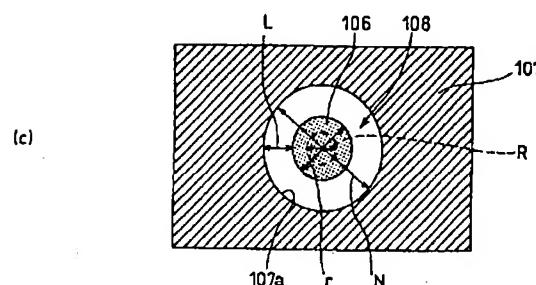
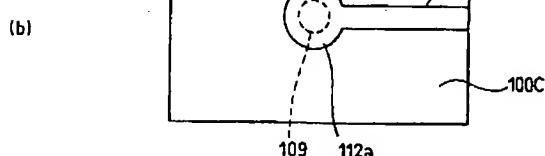
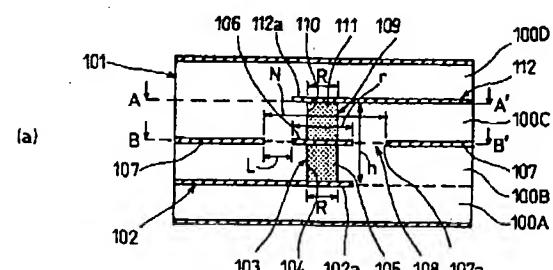
r ピアランド106の直径

N 切欠部107aの直径

L 隙間108の幅

h 配線層102、112間の接続距離

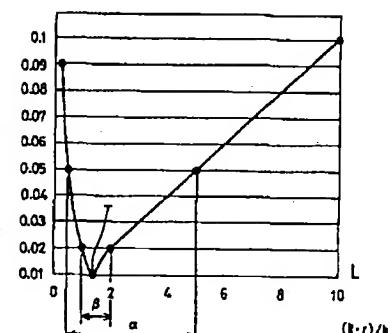
【図1】



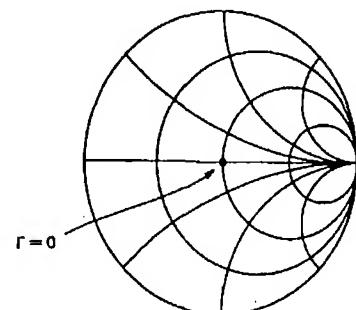
【図3】

出力電圧	$3.3 \pm 0.3V$
VIH(ac)	0.2V
VIH(dc)	0.2V
Vref	0.2V
VIL(dc)	0.2V
VIL(ac)	0.2V
グラウンド電位	

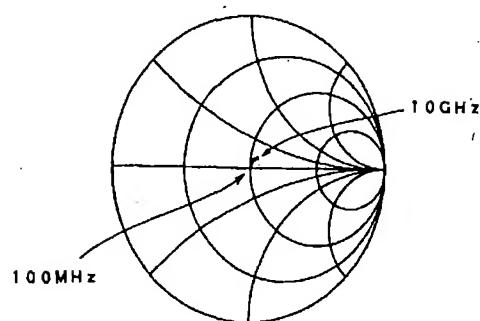
【図2】



【図4】

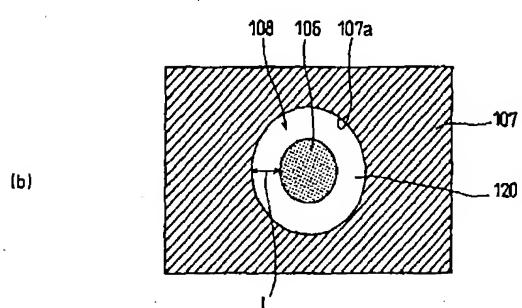
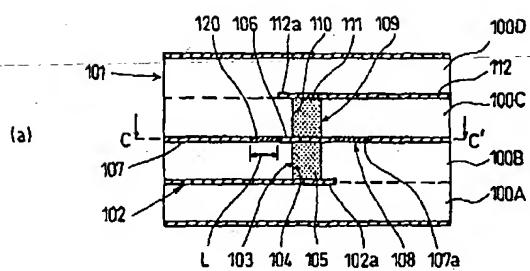


(a)

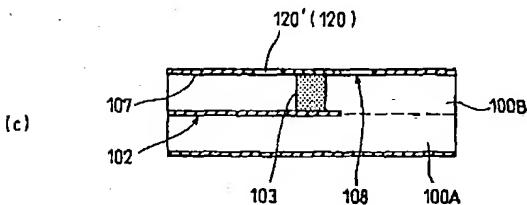
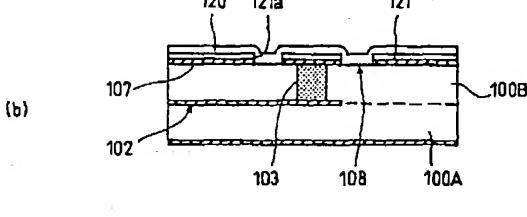
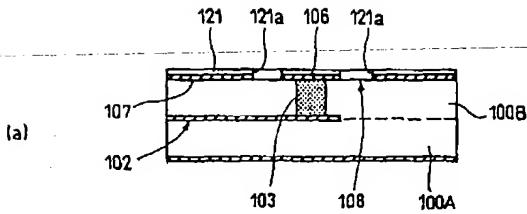


(b)

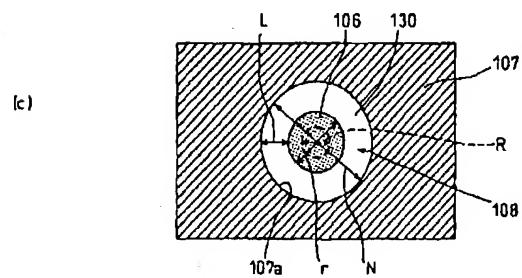
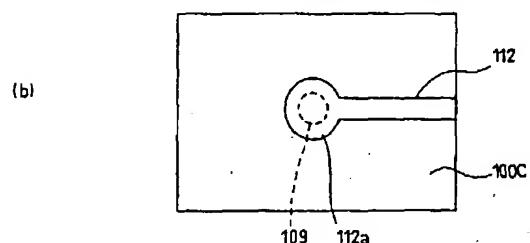
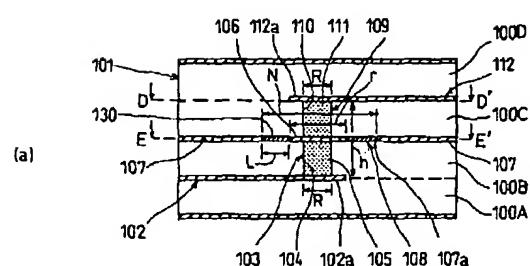
[図5]



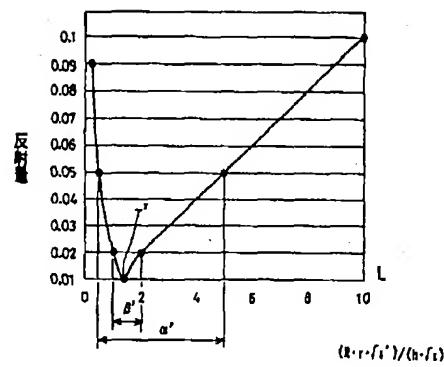
[図6]



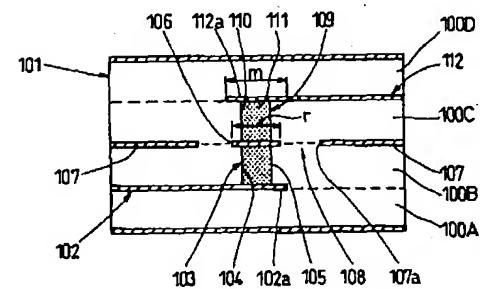
[図7]



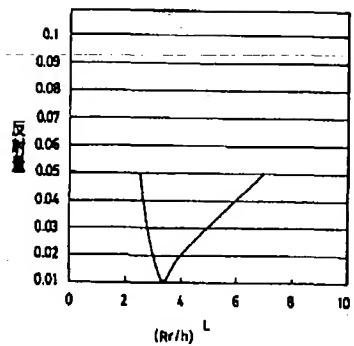
[図8]



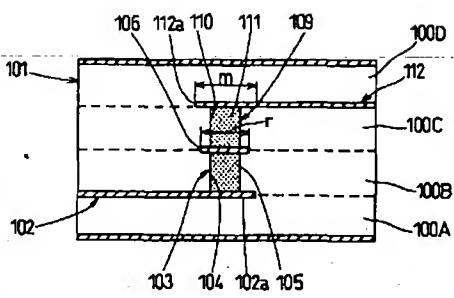
[図9]



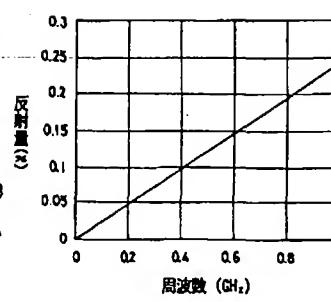
[図10]



[図11]



[図12]



[図13]

